

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217367

(43)Date of publication of application : 02.08.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01R 31/28
H01L 21/66
H01L 21/8238
H01L 27/092
H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 2001-006677

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 15.01.2001

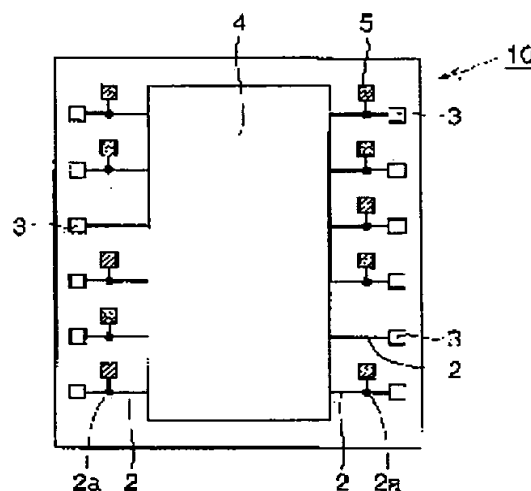
(72)Inventor : TOMISHIMA SHIGEKI

(54) SEMICONDUCTOR CHIP, SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip in which completely sufficient test is enabled easily without applying a load to circuit constitution of a main body, a semiconductor device mounting the chip, and a method for manufacturing the semiconductor device.

SOLUTION: This semiconductor chip is provided with terminals 3 for test which are linked with wiring 2 stretched from the device body 4 and connected with a test apparatus 14, and terminals 5 for circuit constitution which are branched and linked from the wiring 2 with which the terminals 3 are connected and which are connected with other circuit elements.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217367

(P2002-217367A)

(43) 公開日 平成14年8月2日(2002.8.2)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
H 0 1 L 27/04		H 0 1 L 21/66	B 2 G 1 3 2
21/822		27/10	4 9 5 4 M 1 0 6
G 0 1 R 31/28		27/04	T 5 F 0 3 8
H 0 1 L 21/66		G 0 1 R 31/28	U 5 F 0 4 8
21/8238		H 0 1 L 27/08	3 2 1 C 5 F 0 8 3
審査請求 未請求 請求項の数16 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2001-6677(P2001-6677)

(22) 出願日 平成13年1月15日(2001.1.15)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 富嶋 茂樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

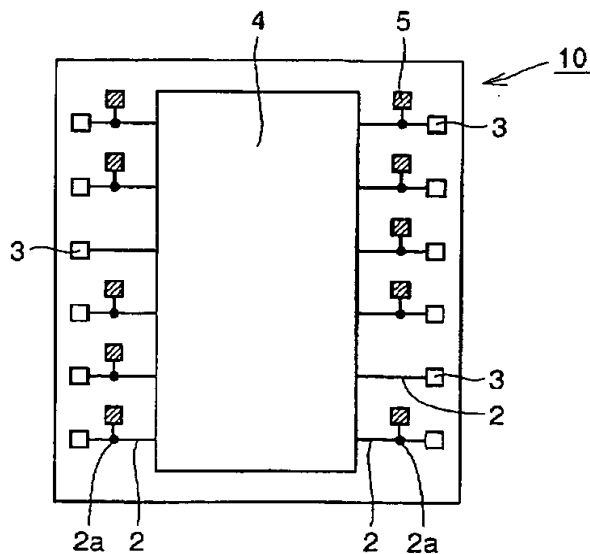
最終頁に続く

(54) 【発明の名称】 半導体チップ、半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 本体の回路構成に負担をかけず、徹底して十分なテストを容易に行うことができる半導体チップ、そのチップを実装した半導体装置およびその半導体装置の製造方法を提供する。

【解決手段】 本体4から延びる端子用配線2に連結され、テスト装置14と接続されるテスト用端子3と、テスト用端子3が連結された端子用配線2から分岐して連結され、他の回路素子と接続される回路構成用端子5とを備える。



【特許請求の範囲】

【請求項 1】 本体から延びる端子用配線に連結され、テスト装置と接続されるテスト用端子と、前記端子用配線から分岐して連結され、他の回路素子と接続される回路構成用端子とを備える、半導体チップ。

【請求項 2】 前記端子用配線に前記テスト用端子のみが連結されたテスト用端子配線を備える、請求項 1 に記載の半導体チップ。

【請求項 3】 前記テスト用端子が、前記テスト装置への信号を増幅するためのドライバを備える、請求項 1 または 2 に記載の半導体チップ。

【請求項 4】 前記テスト用端子が、前記テスト装置からの信号を前記半導体チップに伝達するためのドライバを備える、請求項 1 または 2 に記載の半導体チップ。

【請求項 5】 前記ドライバが、MOS トランジスタを含むインバータ回路によって構成される、請求項 3 または 4 に記載の半導体チップ。

【請求項 6】 前記インバータ回路は多段インバータ回路であり、互いに隣接する 2 つのインバータ回路に含まれる前記 MOS トランジスタにおいて、そのチャネル幅は信号が伝達される側に近いインバータ回路の MOS トランジスタのチャネル幅ほど長い、請求項 5 に記載の半導体チップ。

【請求項 7】 前記ドライバ用のドライバ電源用端子をさらに備える、請求項 3 ～ 6 のいずれかに記載の半導体チップ。

【請求項 8】 前記回路構成用端子と、前記テスト用端子とが、平面的に見て、前記半導体チップの端の辺に沿って列状に配置されている、請求項 1 ～ 7 のいずれかに記載の半導体チップ。

【請求項 9】 平面的に見て、前記テスト用端子が、前記回路構成用端子よりも端に近い位置において前記辺に沿って配置されている、請求項 8 に記載の半導体チップ。

【請求項 10】 前記テスト用端子の列と前記回路構成用端子の列とを区分けするマークが入れられている、請求項 9 に記載の半導体チップ。

【請求項 11】 前記半導体チップがメモリ半導体チップである、請求項 1 ～ 10 のいずれかに記載の半導体チップ。

【請求項 12】 前記請求項 1 ～ 11 のいずれかに記載の半導体チップが回路基板上にパッケージされ、前記回路構成用端子が前記回路基板上の他の回路素子に接続されている、半導体装置。

【請求項 13】 前記半導体チップにおけるテスト用端子が除かれている、請求項 12 に記載の半導体装置。

【請求項 14】 1 つの端子用配線から互いに分岐して設けられた回路構成用端子とテスト用端子とを備える半導体チップを回路基板上に実装する半導体装置の製造方法であって、

前記半導体チップがウェハの状態において、前記テスト用端子にプローブを当ててテストを行うテスト工程と、前記半導体チップを前記ウェハの状態から各々に切断するダイシング工程と、

前記回路基板上の半導体チップにおける前記回路構成用端子と前記回路基板上の他の回路素子の端子とを接続する回路素子間接続工程とを備える、半導体装置の製造方法。

【請求項 15】 前記ダイシング工程は、前記テスト用端子を前記半導体チップから切り離して除去するテスト用端子除去工程を備える、請求項 14 に記載の半導体装置の製造方法。

【請求項 16】 前記回路素子間接続工程は、前記半導体チップを少なくとも 1 つ含む 2 つ以上の半導体チップを積層する積層工程を含む、請求項 14 または 15 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップ、半導体チップを実装した半導体装置および半導体装置の製造方法に関し、より具体的には、DRAM、SRAM、フラッシュメモリ、CPU (Central Processing Unit)、MPU (Micro-Processing Unit)、DSP (Digital System Processing) 等の半導体チップのテストを容易化する端子を備えた半導体チップ、半導体チップを実装した半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】DRAM、SRAM、フラッシュメモリ等のメモリと、CPU、MPU、DSP等のロジック回路とを組み合わせたシステムは、システム 1 単位として製造され、また用いられる場合が多い。図 10 は、そのようなシステム半導体装置が流通した最も初期の頃、製作されていた例を示す図である。1 枚の配線基板 107 上にメモリ半導体チップ 110 と、ロジック半導体チップである CPU 111 および DSP 112 がそのリード 125 と基板配線 119 とを通じて接続され搭載されている。このような、システム半導体装置が流通することにより、システム設計等に多くの工数をかけることなく、所定のシステムを選択して利用することができるようになった。このシステム半導体装置の短所は、サイズが大きくなることであり、携帯端末等の装置には用いにくい。

【0003】図 11 は、このような問題を打開するために提案された、平面混載し、小型化をはかった 1 チップ混載半導体装置を示す図である。この半導体装置では、各半導体ブロックは、1 枚の半導体基板上に一体的に形成されている。すなわち、この 1 チップ混載半導体装置においては、同じ処理工程において同時並行的に、半導体基板 101 上にメモリ半導体ブロック 110 およびロ

ジック半導体ブロック 111 を作製する。このため、1 つの半導体基板上に異なった用途の半導体回路が領域別に形成され、各半導体回路ブロックは、それら半導体回路ブロック本体と同じ機会に形成されたメタル配線 119 によって接続されている。この 1 チップ混載半導体装置では、テストに接続されるテスト用端子 103 と、他の素子の端子と接続される回路構成用端子 105 とが、分れて各半導体チップ本体から延ばされた端子用配線に接続され、列を形成している。このような 1 チップ混載半導体装置を用いることにより、システム半導体装置の小型化や薄型化をはかることが推進されてきた。

【0004】

【発明が解決しようとする課題】しかしながら、上記の 1 チップ混載半導体装置は、つぎのような問題を有している。すなわち、DRAM 等のメモリの半導体回路は、メモリセル形成のために、非常に複雑な構造を有する込み入ったプロセス工程をとらざるをえない。これに比して、CPU 等の論理回路は簡単な構造を有し、そのために製造工程も比較的簡単である。しかしながら、1 チップ混載半導体装置の半導体基板の上に論理回路を、メモリと同時並行的に製造してゆくと、論理回路のブロックでは、たとえば長時間不必要な加熱処理等を受け、システムの性能劣化または不良を生じる場合がある。このため、1 チップ混載にしたことによってかえって納期が延び、かつメモリおよびロジックを合わせた全体の構造が複雑になり、歩留りが低下する問題を生じる。このため、微細化が進行しメモリの容量が増大するにつれ、1 チップ混載方式の半導体装置は、困難性が大きくなってきている。

【0005】これを打開するために、図 12 に示すような積層型混載チップが提案された（たとえば、特開 2000-114452 号公報、特開平 11-214448 号公報等）。図 12

(a) は積層して実装された半導体装置の断面構成図であり、図 12 (b) はその半導体装置に組み込まれる各半導体チップの平面図である。図 12 (a) において、積層される各半導体チップ 110a、110b は、個別に前もって製造され、その性能は、積層される前にテストされ、合格品であることが確認されている。また、パッケージの工程では、ダイパッド 106 の上に搭載された半導体チップの端子 105a、105b とうし、および端子 105b とリード端子 106a とをワイヤ 109 で接続するだけである。このため、たとえばロジック半導体チップがメモリの製造に必要とされる長時間の熱処理を受けることもなく、高い集積度のシステム半導体装置を製造した上で、高い歩留りを確保することができる。パッケージを構成する半導体チップの端子は、図 12 (b) に示すように、すべて回路構成用端子 105 から構成され、半導体チップのテストはこの回路構成用端子を用いて行われる。

【0006】しかしながら、上記図 12 (b) に示す回

路構成用端子のみを有する半導体チップでは、回路構成用端子をテスト用端子に兼用するために、テストに必要な箇所から端子用配線を引き出してテストできない場合が生じる。すなわち、回路を構成することを主体に端子が設けられるので、本当にテスト用の信号を得たい箇所に端子が設けられていない弊害を有する。また、徹底したテストを受けるためには、各半導体チップはその各端子からテスト装置に大きな出力信号を出す必要がある。このためには、この半導体チップにそのような大きな出力信号を出力することができるドライバ等を設ける必要がある。このようなドライバを設けると、寄生容量の発生、回路構成の一層の複雑化、消費電流の増大等の問題が生じる。混載の半導体チップの回路設計および実際の製造において、このようなドライバ等の要素を加えることは大きな負担になるので、各チップの回路内に上記ドライバを設けることは避けることが望ましい。しかし、上記のようなドライバを設けない場合には、出力信号が小さいために、たとえば、その半導体チップについて高速動作のテストを行うことができない。微細で複雑な回路構成を有する半導体チップは、徹底して十分なテストを経て、性能を確認した上で出荷することが望ましいことは言うまでもない。

【0007】本発明の目的は、本体の回路構成に負担をかけず、徹底して十分なテストを容易に行うことができる半導体チップ、その半導体チップを実装した半導体装置および半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体チップは、本体から延びる端子用配線に連結され、テスト装置と接続されるテスト用端子と、端子用配線から分岐して連結され、他の回路素子と接続される回路構成用端子とを備える（請求項 1）。

【0009】この構成により、回路構成用端子とテスト用端子とは互いに異なる端子なので、それぞれ回路構成に都合のよい位置、またはテストに都合のよい位置に設けることができる。他の素子は、半導体チップでもよいし、半導体チップではない回路素子であってもよい。この半導体チップは、上記の端子のほかに、半導体チップ本体用の電源端子や接地（グランド）端子、その他この分野で周知の端子を備えることを前提としている。また、上記のように互いに分岐したテスト用端子と回路構成用端子のほかに、テスト用端子のみが接続された端子用配線や回路構成用端子のみが接続された端子用配線が設けられていてもよい。上記の本発明の半導体チップには、DRAM、SRAM、フラッシュメモリ、EPROM (Erasable Programmable Read Only Memory) 等のメモリ半導体チップ、CPU、MPU、DSP 等のロジック半導体チップが該当する。

【0010】上記本発明の半導体チップでは、たとえば、端子用配線にテスト用端子のみが設けられたテスト

用端子配線を備えることができる(請求項2)。

【0011】上記において、テスト用端子のみが設けられたテスト用端子配線とは、端子用配線に回路構成用端子が連結されていない端子用配線をいう。この構成によれば、回路構成用端子と関係なく、テストにとって都合のよい本体箇所から端子用配線を延在させてテスト用端子を設けて、テストすることができる。このため、複雑なメモリ等の半導体チップの特性を徹底してテストすることが可能となる。

【0012】上記本発明の半導体チップでは、たとえば、テスト用端子が、テスト装置への信号を増幅するためのドライバを備えることができる(請求項3)。

【0013】この構成により、他のブロックと形成する回路構成において不要な強度の信号を出力するための回路、たとえばドライバを半導体チップの本体に設けることなく、高速動作を含めて半導体チップの十分なテストを行うことができるようになる。このため、本体に寄生容量を発生させず、また回路構成に余分の負担をかけずに性能について確認済みの半導体チップを提供することができる。なお、ドライバとは、小さな駆動力ドライバされた信号を大きな負荷にも対応できるように、信号強度を増幅する回路素子をいう。具体的には、インバータ回路やその他の多くの増幅回路素子が該当する。上記のテスト用端子は、出力用端子と入力用端子とが分れている場合には、出力用端子とすることができる。

【0014】上記本発明の半導体チップでは、たとえば、テスト用端子が、テスト装置からの信号をその半導体チップに伝達するためのドライバを備えることができる(請求項4)。

【0015】テスト装置からの入力信号の強度は、テスト装置によって自由に調整することができるので、上記のドライバは駆動力アップという性格よりも波形整形用の性格が強いドライバである。このため、チャンネル幅は比較的小さいものでよい。しかし、駆動力アップのドライバであってもよいことは言うまでもない。上記のテスト用端子は、入力用端子と出力用端子とが分れている場合には、入力用端子とすることができる。

【0016】上記本発明の半導体チップでは、たとえば、ドライバが、MOS(Metal Oxide Semiconductor)トランジスタを含むインバータ回路によって構成されることが望ましい(請求項5)。

【0017】この構成により、回路構成用端子が分岐する分岐部とテスト用端子との間に、コンパクトにMOSトランジスタを含むインバータ回路を形成することができる。このため、半導体チップの本体に負担をかけず、テスト用の十分大きい出力信号を出力することができる。

【0018】上記本発明の半導体チップでは、たとえば、インバータ回路は多段インバータ回路であり、互いに隣接する2つのインバータ回路に含まれるMOSトラ

ンジスタにおいて、そのチャンネル幅は信号が伝達される側に近いインバータ回路のMOSトランジスタのチャンネル幅ほど長いことが望ましい(請求項6)。

【0019】この構成により、大きな負担をかけずに簡便な構成により、十分大きいテスト用信号を出力することができる。急峻な立ち上がりの信号を得て、遅延を生じないために、上記チャンネル幅を増大させる程度としては、任意のインバータ回路のチャンネル幅とその次段のインバータ回路のチャンネル幅との比であるファンアウト

(fan out)が、2～5の範囲にあることが望ましい。

【0020】上記本発明の半導体チップでは、たとえば、ドライバ用のドライバ電源用端子をさらに備えることができる(請求項7)。

【0021】半導体チップ本体の電源端子とテスト用端子のドライバの電源端子を別々にすることにより、より確実に、本体回路の寄生容量を増やさず、回路構成を複雑にすることなく、テスト用に十分高い強度を有する信号を出力し、また波形を整えた信号を入力することができる。上記のドライバ電源用端子からはドライバ電源用配線が延ばされ、各ドライバに接続される。

【0022】上記本発明の半導体チップでは、たとえば、回路構成用端子と、テスト用端子とを、平面的に見て、半導体チップの端の辺に沿って列状に配置することができる(請求項8)。

【0023】回路構成用端子を辺に沿って配置することにより、素子間の配線長さを短くして全体回路を構成することができる。また、テスト用端子を辺に沿って配置することにより、上記回路構成用端子の分岐部からの配線距離を短くすることができる。

【0024】上記本発明の半導体チップでは、たとえば、平面的に見て、テスト用端子が、回路構成用端子よりも端に近い位置において辺に沿って配置されていることが望ましい(請求項9)。

【0025】テスト用端子を回路構成用端子よりも辺に近づけることにより、テスト終了後、パッケージ前、たとえばダイシングの際にテスト用端子を分離して、半導体チップを小型化することができる。

【0026】上記本発明の半導体チップでは、たとえば、テスト用端子の列と回路構成用端子の列とを区分けするマークが入れられていることが望ましい(請求項10)。

【0027】上記マークにより、たとえば切断箇所が分り、間違い無く適切な箇所で端部を切断などすることができる。上記のマークは、単に描かれた線でもよいし、分離しやすいように切断用溝、ノッチや刻み目等が設けてあってもよい。

【0028】本発明のパッケージ半導体チップは、たとえば、半導体チップをメモリ用半導体チップとすることができる(請求項11)。

【0029】メモリ用半導体チップ、上記のように回路

構成用端子とテスト用端子とを設けることにより、回路が込み入って複雑で、製造工程でも特殊な処理を経るために性能が十分でない製品ができやすいメモリの性能チェックを簡便に行うことが可能になる。

【0030】本発明の半導体装置は、上記のいずれかの半導体チップが回路基板上にパッケージされ、回路構成用端子が回路基板上の他の回路素子に接続されている（請求項12）。

【0031】この構成により、各半導体チップの性能について確認済みの半導体装置を得ることができる。この実装された半導体装置では、各半導体チップは、通常、積層され積層実装されるが、積層されず平面的に配置され実装された半導体装置であってもよい。

【0032】本発明の半導体装置は、たとえば、上記のいずれかの半導体チップにおいて、テスト用端子が切り離されていることが望ましい（請求項13）。

【0033】この構成により、各半導体チップを小型化することができ、その結果、実装された半導体装置も小型化することができる。

【0034】本発明の半導体装置の製造方法は、1つの端子用配線から互いに分岐して設けられた回路構成用端子とテスト用端子とを備える半導体チップを回路基板上に実装する半導体装置の製造方法である。この製造方法は、半導体チップがウェハの状態において、テスト用端子にプローブを当ててテストを行うテスト工程と、半導体チップをウェハの状態から各々に切断するダイシング工程と、回路基板上の半導体チップにおける回路構成用端子と回路基板上の他の回路素子の端子とを接続する回路素子間接続工程とを備える（請求項14）。

【0035】ウェハ状態で、専用のテスト用端子を用いてプローブ（針）当てテストを行うことにより、性能不十分な半導体チップを検出して、除くことができる。このため、性能不十分な半導体チップについて無駄な実装をする手間を省き、製造能率を向上させることができる。なお、「回路基板上」は、回路基板に接して上であっても他の回路素子を隔てて回路基板の上方に位置していてもよい。

【0036】上記本発明の半導体装置の製造方法は、たとえば、ダイシング工程は、テスト用端子を半導体チップから切り離して除去するテスト用端子除去工程を備えることができる（請求項15）。

【0037】ダイシングの際にテスト用端子を除去することにより、各半導体チップのサイズを簡便に小型化することができる。この結果、半導体装置を小型化することができる。

【0038】上記本発明の半導体装置の製造方法では、たとえば、回路素子間接続工程は、上記の（互いに分岐して設けられた回路構成用端子とテスト用端子とを備える）半導体チップを少なくとも1つ含む2つ以上の半導体チップを積層する積層工程を含むことが望ましい（請

求項16）。

【0039】この構成により、性能を保証された各半導体チップが高面密度で高集積度で実装されることができ、このため、高集積度の半導体装置の面積を小さくすることができる。

【0040】

【発明の実施の形態】次に本発明の実施の形態について、図面を用いて説明する。

【0041】（実施の形態1）図1は、本発明の実施の形態1における半導体チップの模式図である。図1において、半導体チップ10は、説明の便宜上、DRAM、SRAM等のメモリとするが、ロジック半導体チップでもよい。メモリ本体1から延びる端子配線2は分岐部2aで分かれ、一方にはテスト用端子3が取り付けられ、他方には回路構成用端子5が取り付けられている。端子配線2の中には、テスト用端子3のみが取り付けられ、回路構成用端子5が接続されていないものもある。すなわち、端子の中では、回路構成用端子5よりもテスト用端子3のほうが数が多い。テスト用端子3は、テスト装置へ信号を出力する出力端子であってもよいし、テスト装置からのテスト信号をメモリ本体に入力するための入力端子であってもよいし、また両方を兼ねる入出力端子であってもよい。

【0042】図2は、図1に示したメモリ10について、ウェハの段階で、テスト14を用いて、プローブである針13をテスト用端子に接触させて、針当てテストを行う際のテスト用端子付近の図である。各半導体チップは、互いに隣接してウェハ内に作り込まれている。実装した半導体装置を製造するためには、各半導体チップをダイシングによって切断し分離する工程を経る。各半導体チップにおいては、テスト用端子の数を回路構成用端子の数より多くして、本当にテストのための信号を得たい箇所から端子用配線を引き出してテスト用端子を設けてある。このため、テストが徹底して行えるようになり、従来の回路構成用端子がメモリ端子を兼ねているものに比べて、メモリの性能について十分徹底したテストを行うことができる。

【0043】図3は、本発明の実施の形態1における一変形例の半導体チップである、テスト用端子を切り離すタイプの半導体チップを示す図である。（a）は、テスト用端子を切り離す前の半導体チップであり、（b）はテスト用端子を切り離した後の半導体チップである。図3（a）を参照して、半導体チップの端辺において、テスト用端子3は、回路構成用端子5よりも端に近い位置に沿って配置されており、テスト用端子の列と、回路構成用端子の列との間に、分離線18が設けられている。この分離線18は、線が描かれているだけでもよいし、この線に沿ってテスト用端子の列を容易に分離することができるように溝や刻み目が入れられていてもよい。ウェハ状態で、テストによってテストを行った後、分離線

に沿ってテスト用端子の列を分離することにより、図 3 (b) に示すように、半導体チップの小型化を推進することができる。

【0044】上記したメモリは、図 4 に示すように積層してもよいし、図 5 に示すように平面混載してもよい。図 4 において、実装された半導体装置 20a は、積層された 2 つの半導体チップ 10a、10b のうち、少なくとも下段の半導体チップは、メモリチップであり、上段の半導体チップはメモリでもよいし、CPU や DSP 等のロジックチップであってもよい。ダイパッド 6 等の上に載せられたメモリ 10b の回路構成用端子 5a と、その上の半導体チップの回路構成用端子 5b とは、ワイヤ 9 により接続されている。また、メモリ 10b の回路構成用端子 5b とリード端子 6a とも、ワイヤ 9 によって接続されている。このような積層混載により、性能が徹底的に確認されたメモリやロジック半導体チップを用いて、面積を小型化して半導体装置を製造することができる。

【0045】図 5 に示すように、上述の半導体チップを平面混載して実装半導体装置 20b を製造することもできる。図 5 においては、1 つの配線基板に、メモリ 10 と CPU 19 とを平面的に混載している。CPU 本体 11 から延びる端子用配線には回路構成用端子 15 のみが接続され、その回路構成用端子 15 はワイヤ 9 によってメモリ 10 の回路構成用端子 5 に接続されている。平面混載の場合には、テスト用端子 3 が、積層混載の場合のように上層の半導体チップによって隠されることがないので、混載して半導体チップ間の配線をした後も、テスト 14 を用いて針当てテストを行うことができる利点を有する。平面混載を構成する各半導体チップが十分な数配置されたテスト専用のテスト用端子を用いて徹底的にテストされその性能が確認されていることは、積層混載の場合と同様である。

【0046】（実施の形態 2）図 6 (a) は、本発明の実施の形態 2 における半導体チップを示す構成図である。この半導体チップは、説明の便宜上、メモリとするが、ロジック半導体チップであってもよい。本実施の形態における半導体チップ 10 の特徴は、テスト用端子が、出力用端子と入力用端子とに分れていること、およびテスト用端子がドライバを備えていることである。メモリ本体 4 から引き出された端子用配線 2 の分岐部 2a から分岐した一方には回路構成用端子 5 が設けられ、他方には、ドライバ 7、8 を備えたテスト用端子 3a、3b が接続される。出力用端子 3a には出力ドライバが備えられ、入力用端子 3b には入力ドライバが備えられている。

【0047】上述のように、従来の端子は回路構成用端子とテスト用端子とを兼ねていた。この従来の端子は、たとえばメモリ本体における寄生容量を極力小さくするため、またメモリ本体の回路構造をより複雑にしないよ

うに、必要最小限の強度の出力信号を出力する構成とされていた。このため、回路を構成するには十分な強度の出力信号であっても、テストには不十分であり、高速動作のテスト等を徹底して行うことができなかった。本実施の形態では、出力端子 3a に出力ドライバとして出力用インバータ 7 を設けて、出力信号の増幅をはかることができる。図 6 (b) に、出力用インバータ 7 を 4 段のインバータ 7a、7b、7c、7d で構成した例を示す。各インバータは、図 6 (c) に示すように MOSFET で構成した場合、後段になるほどチャネル幅を大きくして出力信号を増幅する。MOSFET で構成する各インバータとしては、たとえば図 7 に示す構造を挙げることができる。図 7 に示すインバータ回路の MOSFET のチャネル幅は、ゲート絶縁膜 37 を介したゲート 32n、32p の下のチャネル 33n、33p の奥行き（紙面に垂直）の幅をさす。この奥行きの幅を後段ほど長くすることにより、大きな出力信号を無理なく出力テスト端子 3a に出力することが可能になる。このインバータ回路は、図 6 (c) に示すように、ソース 34n、34p やドレイン 35n、35p を含む n チャネル MOS と p チャネル MOS とから構成されている。

【0048】図 8 は、入力用ドライバとして設けた入力用インバータ 8 の内容を示す図である。入力用インバータは特に駆動力をアップする必要がないので、入力信号の波形の整形ができればよい。このため、図 8 の各インバータ 8a、8b のチャネル幅は小さめとする。

【0049】上記の実施の形態の半導体チップを用いることにより、メモリ等の半導体チップの本体における寄生容量を増やさず、また回路構成をいっそう複雑にすることなく、徹底したテストが可能なレベルのテスト用出力信号を出力することができる。この半導体チップにおいても、テストが済んだ後、テスト用端子の列を切り離して、小型化をはかることができることは言うまでもない。

【0050】図 9 は、本発明の実施の形態 2 における一変形例の半導体チップを示す図である。図 9 においては、半導体チップ本体の電源と、テスト用端子に備えられたドライバ用の電源とが分離している。すなわち、ドライバ用電源端子 17 が設けられ、ドライバ用電源配線 16 を通じて各ドライバ 7 に所定の電圧が供給される。また、図 9 では、出力用ドライバへの電圧供給のみが示されているが、入力用ドライバへの電圧供給系統が別に設けられてもよいことは言うまでもない。さらに、半導体チップ本体においては、半導体チップ本体 4 への電源端子 29 および電源配線 28 と、半導体チップ本体 4 へのグランド端子 27 およびグランド配線 26 とが設けられている。本実施の形態 2 では、図 9 に示すように、ドライバ用電源端子を本体電源とは別に設けることにより、本体に対する影響をより一層小さくして徹底したテストを行うのに十分大きいテスト用信号を出力すること

ができる。

【0051】 上記において、本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

【0052】

【発明の効果】 本発明の半導体チップを用いることにより、半導体チップ本体の寄生容量を増大させず、また回路構造を複雑にすることなく、その半導体チップを徹底してテストすることができる数のテスト用端子と、十分な強度の出力信号を出力することができる。この結果、性能について徹底して確認のとれた半導体チップを用いて実装半導体装置を製造することができ、歩留り向上や、納期短縮等を実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるメモリの構成図である。

【図2】 図1のウェハ状態のメモリに対して、テストによって針当てテストを行っている図である。

【図3】 本発明の実施の形態1における一変形例のメモリの構成図である。(a)はテスト用端子の列を切り離す前の、また(b)はテスト用端子の列を切り離した後のメモリを示す図である。

【図4】 本発明の実施の形態1におけるメモリを積層して搭載した半導体装置の断面図である。

【図5】 本発明の実施の形態1におけるメモリを平面混載した半導体装置の断面図である。

【図6】 (a)は、本発明の実施の形態2におけるメ

モリの構成図であり、(b)はその出力ドライバの構成図であり、(c)は各インバータの回路図である。

【図7】 図6(c)に示すインバータの断面図である。

【図8】 入力ドライバの構成図である。

【図9】 本発明の実施の形態2における一変形例のメモリの構成図である。

【図10】 従来の平面混載をした半導体装置の斜視図である。

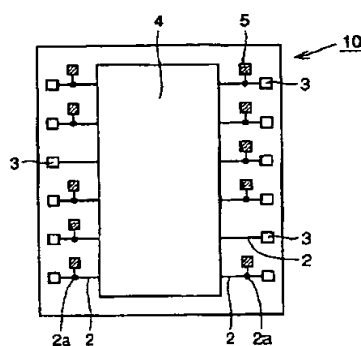
【図11】 従来の平面的に1チップに形成した半導体装置の平面図である。

【図12】 (a)は従来の積層混載した半導体装置の断面図であり、(b)は半導体装置を構成する半導体チップの平面図である。

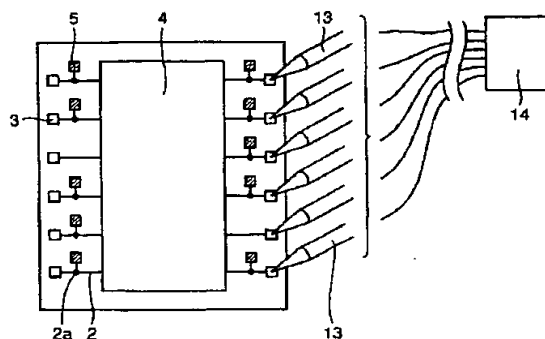
【符号の説明】

1, 2 端子用配線、2a 分岐部、3 テスト用端子、3a 出力用端子、3b 入力用端子、4 半導体チップ(メモリ)本体、5, 5a, 5b 回路構成用端子、6 ダイパッド、6a リード、7 出力用ドライバ、7a, 7b, 7c, 7d インバータ、8 入力用ドライバ、8a, 8b インバータ、9 ワイヤ、10 半導体チップ(メモリ)、11 半導体チップ(CPU)、13 プローブ(針)、14 テスタ、16 テスト端子ドライバ用電源配線、17 テスト端子ドライバ用電源端子、18 分離線、26 グランド配線、27 グランド端子、28 電源配線、29 電源端子、31 p型基板、32n, 32p ゲート、33n, 33p チャネル、34n, 34p ソース、35n, 35p ドレイン、36 nウェル、37 ゲート絶縁膜、39 素子分離絶縁膜、Vdd ドレイン電圧。

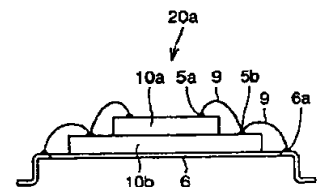
【図1】



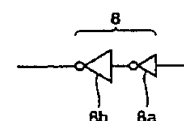
【図2】



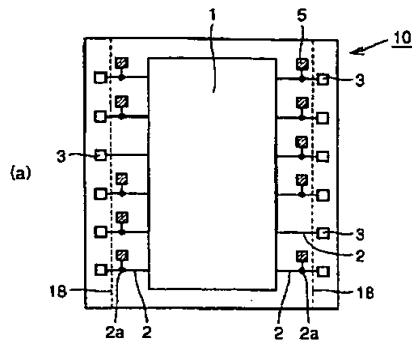
【図4】



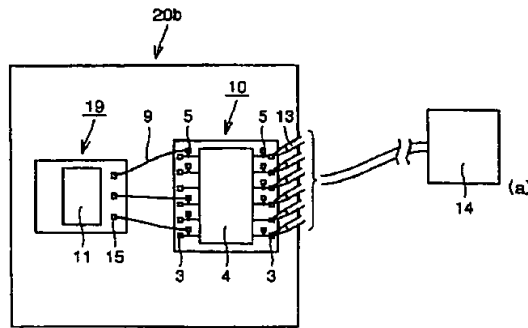
【図8】



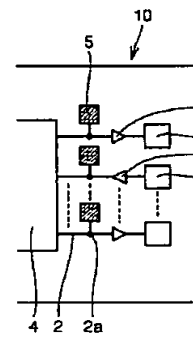
【図3】



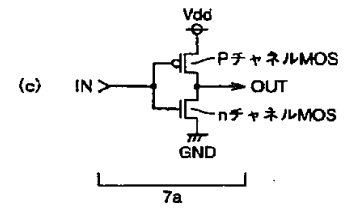
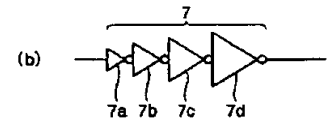
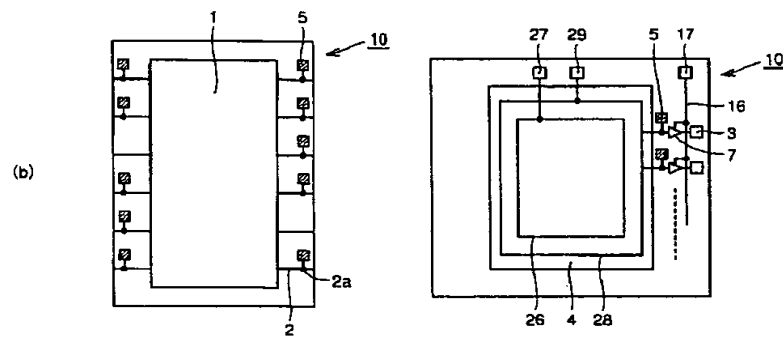
【図5】



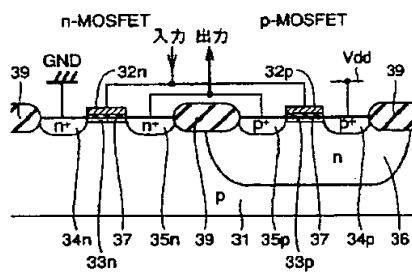
【図6】



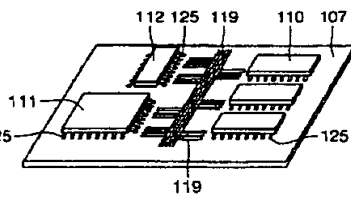
【図9】



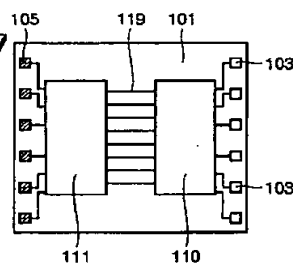
【図7】



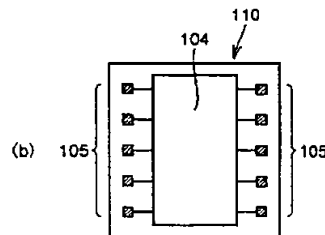
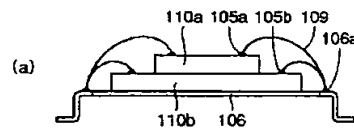
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/092		H 0 1 L 27/08	3 2 1 Z
27/10	4 9 5	27/10	6 8 1 Z
27/108			
21/8242			

F ターム(参考) 2G132 AA01 AA03 AA08 AB01 AK01
AK22 AL11
4M106 AA01 AA02 AD01 AD22 AD23
AD30 BA01
5F038 BE07 BE09 CA10 CA13 DF01
DF04 DF05 DT04 DT08 DT13
EZ04 EZ20
5F048 AB01 AB03 AB04 AC03 BB01
5F083 AD00 BS00 ER22 LA21 ZA20
ZA29